

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-227562

(43)Date of publication of application : 08.10.1991

(51)Int.Cl.

H01L 27/082

H01L 29/784

(21)Application number : 02-024117

(71)Applicant : NEC CORP

(22)Date of filing : 01.02.1990

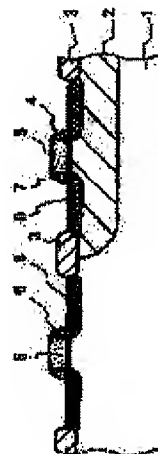
(72)Inventor : KASAI NAOKI

(54) INSULATED-GATE FIELD-EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To relax an electric field in a region deep-depleted by depositing a substance whose work function differs from that of a first gate electrode on the side wall of first gate electrode patterns.

CONSTITUTION: Patterns for first gate electrodes 5 are formed in a region on a gate insulation film 4 deposited on a substrate having a first conductivity type semiconductor region, a substance whose work function differs from that of the first gate electrodes (The work function is smaller than that of the first gate electrodes 5 in the case of an n channel electric field-effect transistor) is deposited and reactive ion etching is performed. The deposited substance only on the side walls of the first gate electrodes 5 is left, and used as a second gate electrode 6. Then, a second conductivity type semiconductor layer is formed on a region which excludes the part under the third gate electrodes 5 on the surface of the first conductivity type semiconductor. More specifically, in the case of an n channel MOSFET, the second gate electrode which depends on an n type diffusion layer, has a work function smaller than that of the first gate electrodes. This construction makes it possible to relax the electric field in the deep-depleted regions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-227562

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月8日

H 01 L 27/092
29/784

7735-5F H 01 L 27/08 3 2 1 D
8422-5F 29/78 3 0 1 G

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 絶縁ゲート電界効果トランジスタとその製造方法

⑯ 特 願 平2-24117

⑰ 出 願 平2(1990)2月1日

⑱ 発 明 者 笠 井 直 記 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 絶縁ゲート電界効果トランジスタ
とその製造方法

特許請求の範囲

(1) 少なくとも第1導電型半導体領域を有する基板上にゲート絶縁膜が形成されその上に第1ゲート電極パターンを有し、前記第1ゲート電極パターンの側壁に第1ゲート電極と仕事関数が異なる(nチャネル電界効果型トランジスタの場合第1ゲート電極よりも仕事関数が小さい、pチャネル電界効果型トランジスタの場合第1ゲート電極よりも仕事関数が大きい)物質からなる第2ゲート電極を前記第1ゲート電極パターン側壁に有し、前記第1導電型半導体表面の少なくとも前記第1ゲート電極下を除いた領域に第2導電型半導体層を有することを特徴とする絶縁ゲート電界効果トランジスタ。

(2) 少なくとも第1導電型半導体領域を有する基板上に堆積されたゲート絶縁膜上の該領域に第1ゲート

電極パターンを形成する工程と、前記第1ゲート電極パターンの側壁に第1ゲート電極と仕事関数が異なる(nチャネル電界効果型トランジスタの場合第1ゲート電極よりも仕事関数が小さい、pチャネル電界効果型トランジスタの場合第1ゲート電極よりも仕事関数が大きい)物質を堆積し反応性イオンエッチングして前記第1ゲート電極パターンの側壁に残して第2ゲート電極とする工程と、前記第1導電型半導体表面の少なくとも前記第1ゲート電極下を除いた該領域に第2導電型半導体層を形成する工程を含むことを特徴とする絶縁ゲート電界効果トランジスタの製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は、絶縁ゲート電界効果トランジスタとその製造方法に関する。

(従来の技術)

従来、半導体装置の高集積化および高性能化は、半導体デバイスを微細化することによって図られてきた。しかし、電源電圧を一定にたもつま

ま設計寸法を縮小してMOS電界効果型トランジスタ(MOSFET)のチャネルをサブミクロンに微細化し、それに伴ってゲート絶縁膜を薄膜化するとMOSFET内の電界が高くなり、信頼性が低下するという問題が生じてきている。素子に印加される電圧を低くすれば電界は低くなるが、しかし単純に電源電圧を低下させると信頼性は向上するものの動作速度が低下してしまう。

MOSFETの微細化にまつわる信頼性の問題点は様々あるが、設計寸法の低下に伴ってゲート絶縁膜が薄膜化すると次のような問題がある。第3図に(a)示すように、例えばnチャネルMOSFETの場合、n型多結晶シリコンゲート電極33とn型拡散層34が重なり合う部分のn型拡散層のゲート酸化膜32直下の領域において電界が高くなり、ゲート絶縁膜直下のn型拡散層のやや不純物濃度が低い領域においてバンドが急激に曲がりディープ・ディプレッションした領域36が生じ、バンド間トンネルによって素子の漏れ電流が流れ、半導体装置の性能および信頼性を低下する。これは1987年に開催されたイン

ターナショナル・エレクトロン・デバイス・ミーティング(International Electron Devices Meeting)においてチャン(T.Y.Chan)等により報告された。

(発明が解決しようとする課題)

前記高電界領域の電界を緩和するには第3図(b)に示したように重なり領域をなくすことによって可能となるが、拡散層端の寄生抵抗が大きくなるために、素子の電流駆動能力の低下をひきおこす。また、わずかに重なり領域を設けても、ホットキャリアーによる長期信頼性の低下を招くなどの問題点があった。

本発明の目的はディープ・ディプレッションした領域の電界を緩和してバンド間トンネルによる漏れ電流をなくし、しかも寄生抵抗も大きくならない電界効果トランジスタとその製造方法を提供することにある。

(課題を解決するための手段)

本発明は、少なくとも第1導電型半導体領域を有する基板上にゲート絶縁膜が形成されその上に第1ゲート電極パターンを有し、前記第1ゲート電極パ

ターンの側壁に第1ゲート電極と仕事関数が異なる。(nチャネル電界効果型トランジスタの場合第1ゲート電極よりも仕事関数が小さい、pチャネル電界効果型トランジスタの場合第1ゲート電極よりも仕事関数が大きい)物質からなる第2ゲート電極を前記第1ゲート電極パターン側壁に有し、前記第1導電型半導体表面の少なくとも前記第1ゲート電極下を除いた領域に第2導電型半導体層を有することを特徴とする絶縁ゲート電界効果型トランジスタである。

本発明の製造方法は、少なくとも第1導電型半導体領域を有する基板上に堆積されたゲート絶縁膜上の該領域に第1ゲート電極パターンを形成する工程と、前記第1ゲート電極パターンの側壁に第1ゲート電極と仕事関数が異なる(nチャネル電界効果型トランジスタの場合第1ゲート電極よりも仕事関数が小さい、pチャネル電界効果型トランジスタの場合第1ゲート電極よりも仕事関数が大きい)物質を堆積し反応性イオンエッチングして前記第1ゲート電極パターンの側壁に残して第2ゲート電極とす

る工程と、前記第1導電型半導体表面の少なくとも前記第1ゲート電極下を除いた該領域に第2導電型半導体層を形成する工程を含むことを特徴とする絶縁ゲート電界効果型トランジスタの製造方法である。

(作用)

本発明の構造を採ることによって例えばnチャネルMOSFETの場合、n型拡散層の上に存在する第2ゲート電極は第1ゲート電極よりも仕事関数が小さいために、従来構造に比べディープ・ディプレッションした領域の電界が緩和される。また、n型拡散層とゲート電極が重なりあっているために、寄生抵抗等の問題点は生じない。

前記製造方法を用いることによって、第2ゲート電極が第1ゲート電極の側壁に自己整合的に形成される。

(実施例)

第1図は、本発明の実施例である相補型電界効果トランジスタの断面構造を示す模式図である。p型シリコン基板1上にnウェル2と素子間分離絶縁膜3

を形成し、次に基板表面にゲート酸化膜4と第1ゲート電極としてタングステンシリサイドゲート電極5を形成する。次いで第2ゲート電極として、p型シリコン基板11上のタングステンシリサイドゲート電極5の側壁にはn型多結晶シリコン6をnウェル上の前記タングステンシリサイドゲート電極5の側壁にはp型多結晶シリコン7を形成する。次いでソース・ドレインとしてp型シリコン基板表面に高濃度n型拡散層8を、nウェル表面に高濃度p型拡散層9を形成すると、第1図に示した相補型電界効果トランジスタを得る。

第2図(a)~(f)は、本発明の製造方法によって形成する相補型電界効果トランジスタの断面構造を順を追って示す模式図である。p型シリコン基板11にイオン注入法と熱拡散によってnウェル12を形成し、次に、基板表面に選択酸化法を用いて素子間分離膜13を形成し、次に半導体表面に熱酸化法によってゲート酸化膜14を形成する、次いで前記ゲート酸化膜上の該領域に第1ゲート電極としてタングステンシリサイドゲート電極15を光リソグラ

フィー技術と反応性イオンエッチング法によって形成すると第2図(a)の構造を得る。CVD法によって基板表面に多結晶シリコン膜16を堆積すると第2図(b)の構造を得る。反応性イオンエッチング法によって前記多結晶シリコン膜16を異方性エッチングするとタングステンシリサイドゲート電極の側壁にのみ多結晶シリコン16a, 16bが残り、第2図(c)の構造となる。光リソグラフィー技術によってnウェル領域に第1レジスト17を形成し、イオン注入によって表面にボロンイオン注入層18を形成すると第2図(d)の構造となる。このとき同時に側壁の多結晶シリコン16aにもボロンイオンが注入されるので工程を増やさなくてすむ。同様の方法でp型シリコン基板領域の表面と多結晶シリコン16bにヒ素イオンを注入すると第2図(e)の構造となる。アニールとしてイオン注入によって導入された不純物を活性化してp型拡散層21、n型拡散層22、p型多結晶シリコン23、n型多結晶シリコン24とし、続いてSiO₂などの層間絶縁膜25を堆積し、コンタクトホール開口後アルミニウム配線26を行うと第2図(f)

に示したような相補型電界効果トランジスタが得られる。

本発明の実施例において相補型電界効果トランジスタを示したが、これに限定するものではなく、例えばpチャンネルMOSFETのみ或はnチャンネルMOSFETのみ、またCMOSとバイポーラトランジスタとCMOSを同一基板上に形成したBiCMOSあるいはSOI(Semiconductor on Insulator), SOS(Si on Sapphire)などでもかまわない。また、本実施例において第1ゲート電極としてタングステンシリサイドを、第2ゲート電極としてnチャンネルMOSFETにはn型多結晶シリコン、pチャンネルMOSFETにはp型多結晶シリコンの組合せを用いたが、これに限定するものでなく、例えば第1ゲート電極としてモリブデンシリサイド、タングステン、モリブデンなどを、第2ゲート電極としてnチャンネルMOSFETの場合ハフニウム、pチャンネルMOSFETの場合にレニウムを用いてもかまわない。

(発明の効果)

前記構造をとることによって例えばnチャネルMOSFETの場合、n型拡散層の上に存在する第2ゲート電極は第1ゲート電極よりも仕事関数が小さいために、従来構造に比べてディープ・ディプレッションした領域の電解が緩和され、バンド間トンネルによる漏れ電流が低減される。また、n型拡散層とゲート電極が重なり合っているために、寄生抵抗等の問題点は生じない。実施例のように第1ゲート電極としてn型多結晶シリコンより抵抗の小さいシリサイド或は金属を用いれば、配線抵抗が減少し高速化が図られる。

本発明の製造方法を用いれば、第2電極は、なんらリソグラフィー工程を用いることなく第1ゲート電極側壁に形成される。また、実施例で用いたように第2電極が多結晶シリコンである場合、不純物拡散は、シリコン基板表面にソース・ドレイン(高濃度拡散層)を形成する工程によって自動的に行われる。

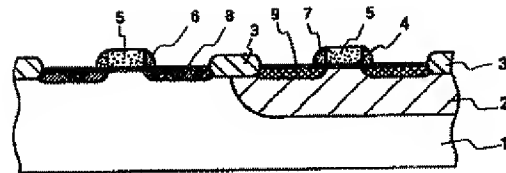
図面の簡単な説明

第1図は、本発明の実施例における相補型電界効果トランジスタの断面構造を示す模式図である。第2図(a)~(f)は、本発明の実施例の相補型電界効果トランジスタの製造工程を順を追って示す模式的断面図である。第3図は、従来技術により形成されたnチャネルMOSFETの模式的断面図である。

図において、1,11,31...p型シリコン基板、2,12...nウェル、3,13...素子間分離絶縁膜、4,14,32...ゲート酸化膜、5,15...タングステンシリサイドゲート電極(第1ゲート電極)、6,24...n型多結晶シリコン(第2ゲート電極)、7,23...p型多結晶シリコン(第2ゲート電極)、8,22,34...n型拡散層、9,21...p型拡散層、16,16a,16b...多結晶シリコン膜、17...第1レジスト、18...ボロンイオン注入層、19...第2レジスト、20...ヒ素イオン注入層、25...層間絶縁膜、26...アルミニウム配線、33...n型多結晶シリコンゲート電極、35...空乏層、36...ディープ・ディプレッション領域。

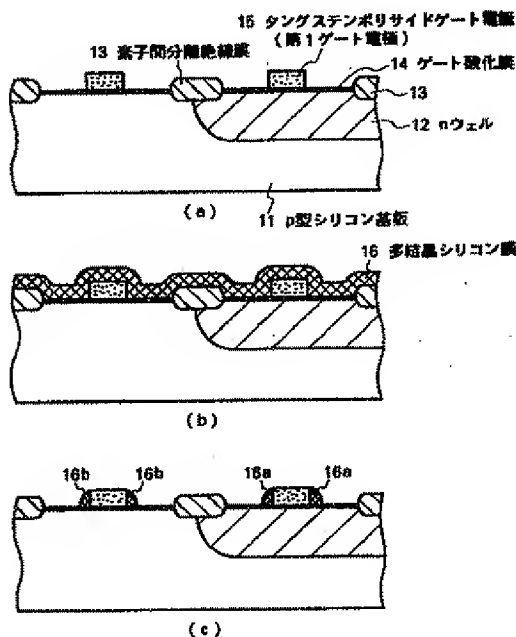
代理人 弁理士 内原 晋

第 1 図

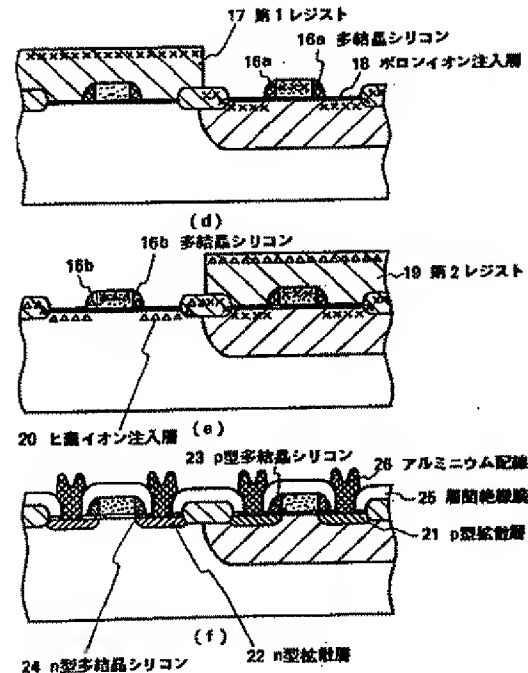


- | | |
|---------------------------------|--------------------------|
| 1 p型シリコン基板 | 2 nウェル |
| 3 素子間分離絶縁膜 | 4 ゲート酸化膜 |
| 5 タングステンシリサイドゲート電極
(第1ゲート電極) | 6 n型多結晶シリコン
(第2ゲート電極) |
| 7 p型多結晶シリコン
(第2ゲート電極) | 8 n型拡散層 |
| 9 p型拡散層 | |

第 2 図



第 2 図



第 3 図

